

40나노의 알테라 ③

지터, 신호 무결성, 전력, 프로세스 최적화 트랜시버

이 장에서는 고속 트랜시버에서 중요한 역할을 하는 클로킹 및 타이밍 발생과 트랜시버에서의 전력과 지터에 대해 알아 본다.

자료제공 : 알테라
www.altera.com

연재

- ① 개요 및 40nm 프로세스 노드 및 트랜시버, 아키텍처
- ② 혼성신호 클록 복구
- ③ 첨단 클록 및 타이밍 발생, 전력 및 지터

신호 컨디셔닝의 유형

다양한 유형의 신호 컨디셔닝 혹은 보정/균등화가 있을 수 있으며 이들 각각이 장단점을 갖는다. 여기서는 주로 이용되는 구현에 대해 살펴보려고 한다.

전송 프리엠퍼시스/디엠퍼시스

전송 프리엠퍼시스/디엠퍼시스는 Tx 드라이버에서 신호를 채널로 전송하기 전에 사전에 컨디셔닝해서 신호의 고주파 성분을 증폭하거나(프리엠퍼시스) 아니면 신호의 저주파 성분을 감소시키는 것이다. 이 기법의 이점은 상대적인 단순성과 낮은 전력이다. 샘플링된 모든 데이터는 전송 디바이스에서 즉각적으로 이용할 수 있다. 선행 및 후행 직렬 데이터 비트를 홀드하기 위한 레지스터 뱅크를 배치함으로써 전송되는 데이터의 지연 버전이 1UI 간격이 되도록 편리하게 구축할 수 있다. 마찬가지로 주로 레지스터를 구축하기 위해 이용되는 중간 래치 스테이지로부터 정보를 취함으로써 분절 샘플링 데이터(1/2UI)를 Tx에서 편리하게 이용할 수 있

다. 이 신호 컨디셔닝 기법은 선행 및 후행 데이터 비트 모두를 이용할 수 있으므로 전조(pre-cursor) 및 후조(post-cursor) ISI를 모두 해결한다.

그림 1은 프리엠퍼시스 구현의 블록 다이어그램을 보여준다. 대체적으로 전송 프리엠퍼시스는 수신 측에서보다 구현하기가 상대적으로 간단하다. 디자인이 지연과 클로킹에 대해서 제어가 가능하기 때문이다. 캐주얼 탭(포스트 탭)은 후조 ISI를 제거하고, 안티 캐주얼 탭(프리 탭)은 전조 ISI를 해결한다.

그림 2의 단일 펄스 응답은 시간 도메인 프리엠퍼시스 응답을 보여준다. 프리 탭과 메인 펄스와 2개의 포스트 탭을 볼 수 있다.

그림 3은 지난 호 2편(10월호 89페이지) 그림 7의 동일한 XAUI 백플레인에 전치왜곡 Tx 신호를 이용한 것이다. 여기서는 동일한 6.5Gbps 데이터 레이트임에도 불구하고 원단에서 개방 아이를 확실하게 볼 수 있다.

Tx 측에서 신호 컨디셔닝의 가장 큰 단점은 누화를 해결하지 못하며 실시간으로 적응하도록 하기가 매우 어렵다는 것이다. 누화와 관련해 Tx 프리엠퍼시스는 시스템에서 누화의 양을 증가시킬 수 있다. 이는 Tx 측에서 신호를 과도한 양의 고주파 성분을 갖도록 사전에 컨디셔닝해서 손실이 큰 채널을 만났을 때 결과적인 신호의 고주파와 저주파가 밸런싱되도록 하기 때문이다. 결과적으로 다중 직렬 링크 시스템에서 고주파 성분이 증가함으로써 인접 링크로 흘러

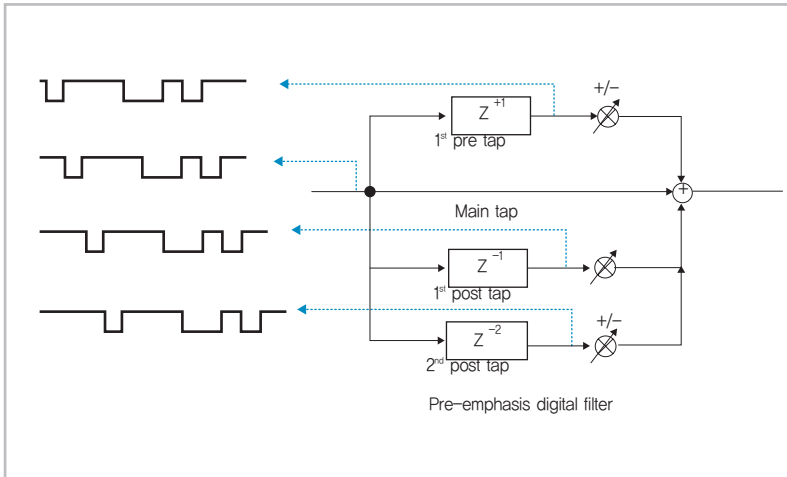


그림 1. 프리엠퍼시스 구현 블록 다이어그램

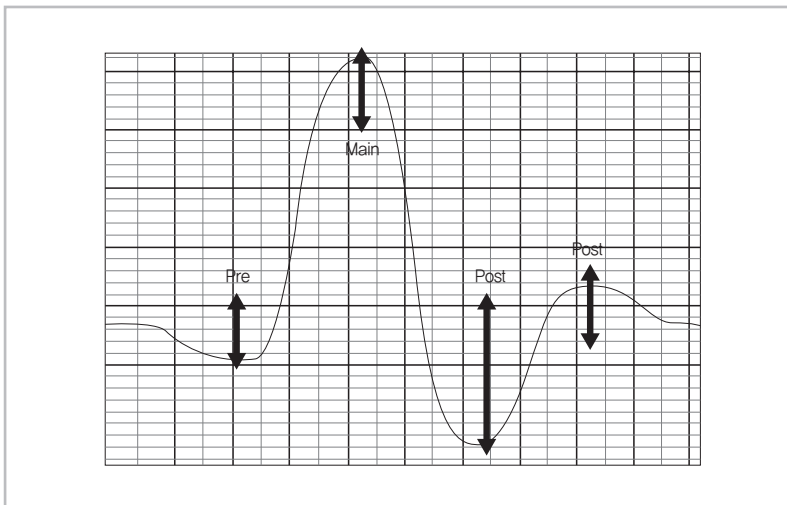


그림 2. 프리, 메인, 2개 포스트 탭의 예

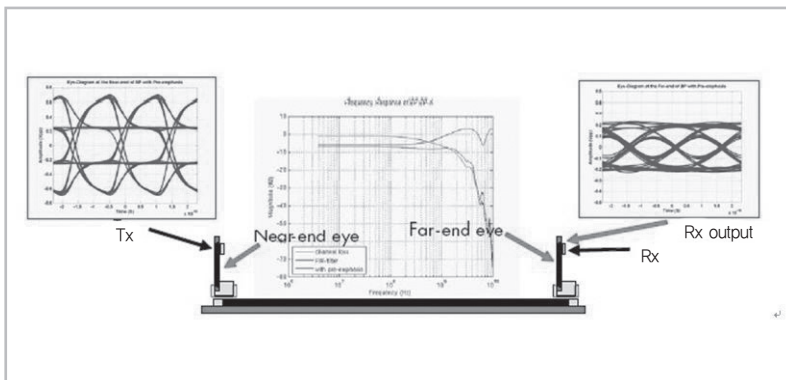


그림 3. 근단 및 원단에서 트랜시버 프리엠퍼시스

들어서 누화를 발생시키기 쉽다.

실시간 적응은 특히 3Gbps 이상의 링크 동작을 위해서 고려해야 할 중요한 파라미터이다. Tx에서 동일하게 전송된 신호라 할지라도 실제 시스템 신호는 다르다. Rx 측에서 2개의 인접 링크가 각기 다른 아이 다이어그램을 수신하기 때문이다. 신호 컨디셔닝에 Tx를 이용하는 시스템은 각 Rx와 그에 상응하는 Tx 사이에 역 채널을 구축해서 각각의 링크에 적합하게 드라이버의 프리 탭 및 포스트 탭을 변화시켜야 한다.

CTLE(continuous time linear equalizer)

CTLE는 수신 측에서 구현되며, 균등화 이론에 따르면 이를 위해서는 선형화 균등화가 적합하다. 이는 비샘플링(다시 말해서 연속 시간) 구현으로 충분하므로 디자인을 간소화한다. 결과적으로 CTLE 기반 신호 컨디셔닝이 일반적으로 전력이 가장 낮은 기법이다. CTLE는 전송 프리엠퍼시스와 마찬가지로 전조 및 후조 ISI를 모두 해결하는데 사전에 설정된 수의 Tx 탭으로 제한되는 것이 아니라 연속 시간으로 그렇게 한다.

그림 4는 일차 CTLE 전달 함수의 예를 보여준다. 채널 전달 함수의 극점을 보상하기 위해 영점이 삽입된다(지난 호 그림 5 참조). 이 구현은 비교적 단순하고 전력 소비가 매우 낮다. 다수의 균등화 스테이지를 선택된 데이터 레이트에 필요한 특정한 링크로서 추가할 수 있

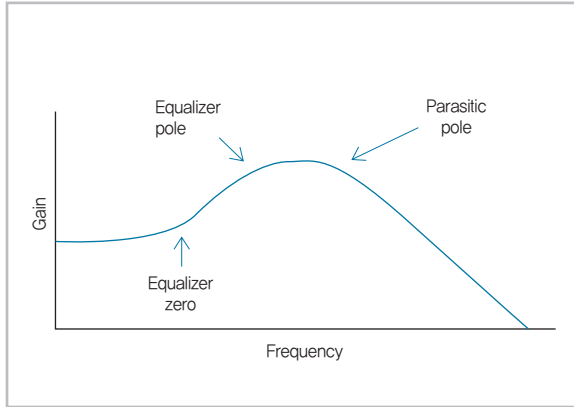


그림 4. CTLE 전달 함수 예

다. 다중 스테이지는 결과적인 균등화기의 차수를 높일 뿐만 아니라 특정한 주파수 간격으로 달성되는 최대 부스트를 증가시킨다(CTLE를 설계할 때는 기생 극점과 이의 위치를 신중하게 고려해야 한다는 점에 유의해야 한다. 다만 극점과 영점 배치에 대한 상세한 기술적 논의는 이 글의 주제를 벗어나는 것이므로 생략하겠다).

그림 5는 그림 3의 예에 CTLE를 이용한 것이다. 내부 CTLE를 작동했을 때 동일한 근단 Tx 신호에 대해서 원단은 개방 아이를 나타낸다. Tx 임피던스와 달리 CTLE를 이용할 때는 시스템에서 누화의 양이 증가하지 않는 것이 확실하다. Tx 구동 측에서 고주파 성분이 감소하기 때문이다. 마지막으로 짚고 넘어갈 점은 CTLE를 이용하는 시스템은 실시간 적용에 적합하다는 것이다. 채널을 통과한 신호 정보를 Rx에서 프로세싱 및 재컨디셔닝에 즉시 이용할 수 있기 때문이다.

TFIR(transversal FIR)

TFIR 역시 그림 6에서 보듯이 비샘플링 기반 이산 균등화이다. 이는 후조 ISI를 해결하는 선형 시스템이나 선형 데이터 비트를 흐들하기 위해서 추가적인 지연을 도입하지 않는 한 전조 신호 왜곡은 다루지 못한다. 이 정보는 신호 프로세싱 시점에 이용할 수 없기 때문이다. 매우 정확하게 일치하는 지연 성분을 요구한다는 점 또한 이 기법의 또 다른 중대한 단점이다. 이 단점은 두 가지 측면에서 볼 수 있

다. 첫째, 정밀한 절대 지연을 구축한다는 것은 대량의 생산 수량에 걸쳐서 디바이스 변동과 정상적인 전압 및 온도 변동을 고려했을 때 까다로운 기술적인 문제이다. 둘째, 정밀 지연 성분을 구축하기 위해서는 디자인을 선택한 지연에 반비례하는 고정적인 동작 주파수로 제한한다. 이 점이 이 기법을 다중 레이트 트랜시버에 이용하지 않는 큰 이유이다.

DFE(decision feedback equalization)

위의 균등화 기법들과 달리 DFE는 비선형 시스템이다 (그림 7 참조). 일반적인 DFE 시스템은 데이터를 샘플링해야 할 뿐만 아니라 다음 샘플에 앞서서 새로운 계수를 계산해야 한다. 이는 타이밍 폐쇄를 극히 까다롭게 한다. DFE 시스템은 적절한 데이터 샘플을 필요로 하므로 트랜시버의 결합적인 균등화 및 복구 섹션의 디자인 복잡성을 증가시킨다.

뿐만 아니라 오류 전달의 문제가 발생한다. 오류 전달 현상은 현재의 DFE 결정이 선행 샘플을 바탕으로 한다는 점 때문이다. 이전 샘플의 오류가 현재 데이터 샘플에 있어 잘못된 계수 계산으로 이어질 수 있다. 그러므로 다시 옳은 샘플을 얻을 때까지 하나의 잘못 포착된 비트가 소수의 연속적 비트로 전달된다. DFE 시스템은 선행 비트를 바탕으로 결정을 하므로 후조 ISI만 해결한다. 전조 ISI는 보정되지 않은 채로 있다. 결과적으로 전조 ISI를 해결하기 위해서는 DFE 시스템에 CTLE 유형의 균등화가 여전히 필요하다.

DFE의 가장 큰 장점은 누화가 발생했을 때 내성을 향상시킨다는 것이다. 특히 AWGN(additive white Gaussian noise)라고 했을 때 그러하다. 상관적 누화의 경우에는 DFE가 CTLE에 비해서 효과적이지 않다. AWGN 시스템에서 DFE의 이점은 CTLE와 DFE의 신호 대 잡음비(SNR)를 살펴보면 알 수 있다. 이 시스템은 주로 후조 ISI를 포함한다(DFE는 전조 ISI를 해결하지 못하기 때문이다). SNR은 잡음 전력에 대해서 신호 전력의 비로 계산할 수 있다. CTLE는 시간적으로 연속적이고 수신 신호 스펙트럼 밀도를 알지 못하거나 또는 알 필요가 없으므로 신호와 잡음을

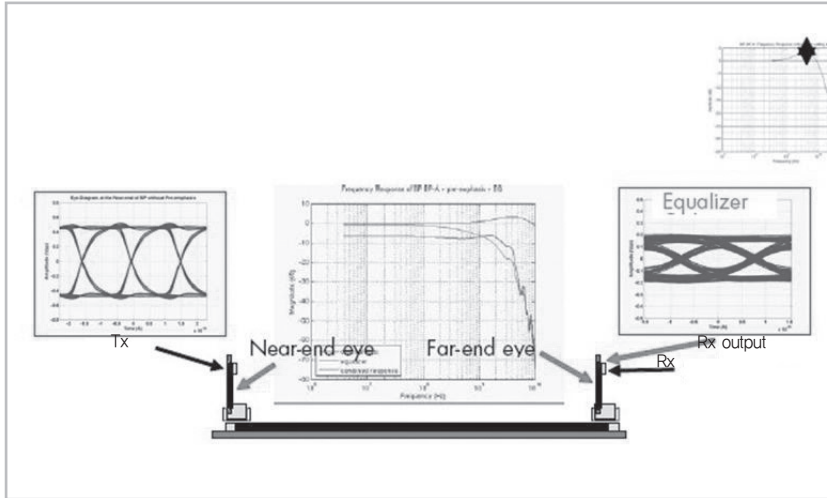


그림 5. 근단 및 원단에서 FCTLE

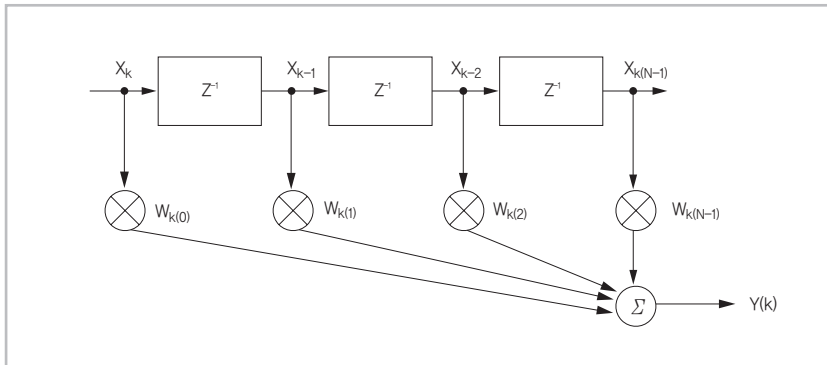


그림 6. 비샘플링 Rx FIR 다이어그램

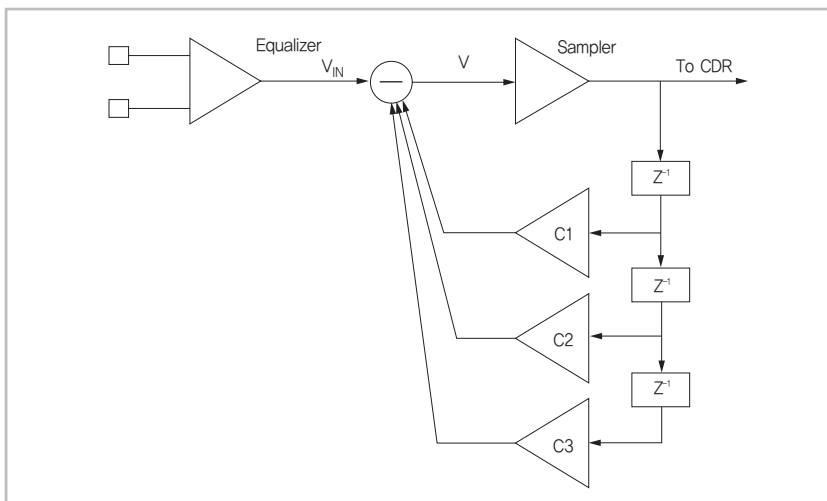


그림 7. DFE 기법의 다이어그램

동일한 양으로 끌어올린다. 실제적으로 이는 원래의 링크 SNR을 유지한다.

AWGN과 달리 신호는 데이터 레이트와 고조파에 따라 스펙트럼이 제한된다. DFE를 이용해 신호를 균등화하면 SNR이 향상된다. 이는 DFE가 샘플링된 데이터에 대해서 작동하고 전체적인 스펙트럼에 대해서 작동하지 않기 때문이다. 데이터의 주파수 스펙트럼에 신호와 잡음이 모두 존재하고 DFE로 끌어올린다 하더라도 고정 주파수 스펙트럼을 끌어올림으로써 전반적인 SNR을 향상시킬 수 있다. AWGN의 중요한 추론으로서 잡음 전력이 전체적인 스펙트럼에 걸쳐서 균등하게 분산되기 때문이다. 마지막으로 AWGN 추론의 공정성에 대해서 강조할 필요가 있다. 확률 이론의 첫 번째 한계 법칙(소위 말하는 중앙 한계 법칙)은 많은 수의 독립적 변수들을 이용함으로써 어느 프로세스이든 정상 분포에 근접한다는 것이다.

구현의 어려움이 누화를 향상시키는 DFE의 효과를 감소시킨다. 앞서 언급했듯이 타이밍 폐쇄는 달성하기가 극히 어렵다. 공개된 많은 고속 애플리케이션에서 타이밍 때문에 첫 번째 탭을 이용하지 못할 수도 있다. 그림 8에서 보듯이 피드백 루프 타이밍이 매우 촉박하다. 비트를 쪼개고, 계수로 곱하고, 0.5UI 내에 합해야 한다. 10Gbps

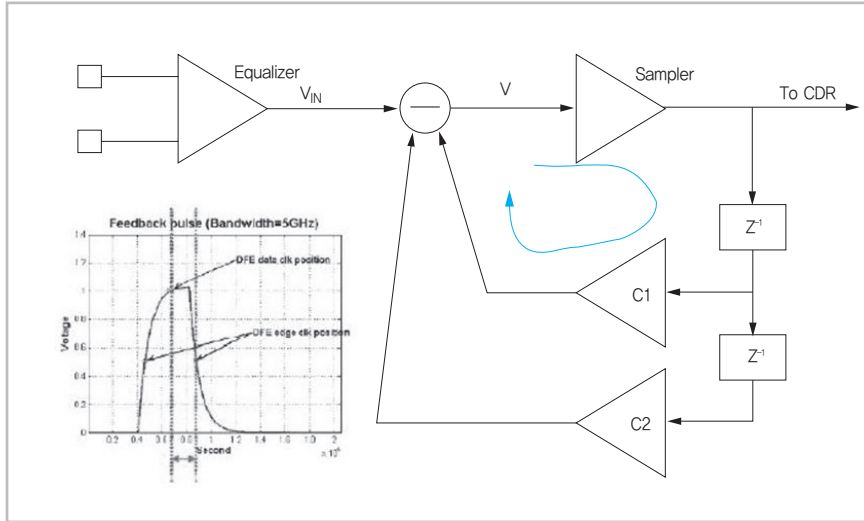


그림 8. 루프 타이밍

백플레인과 백플레인이 균등화 선택에 미치는 영향

시스템 내의 각각의 링크는 배선 층, 배선의 길이, 인접 신호, 보드 소재 등의 여러 가지 요인에 의해서 각기 다른 특성을 나타낸다. 그렇다면 디자인은 어떠한 균등화 방식이 적합할지 어떻게 결정할 수 있을 것인가? 어떠한 토폴로지가 필요하고 얼마나 많은 부스트가 필요할 것인가?

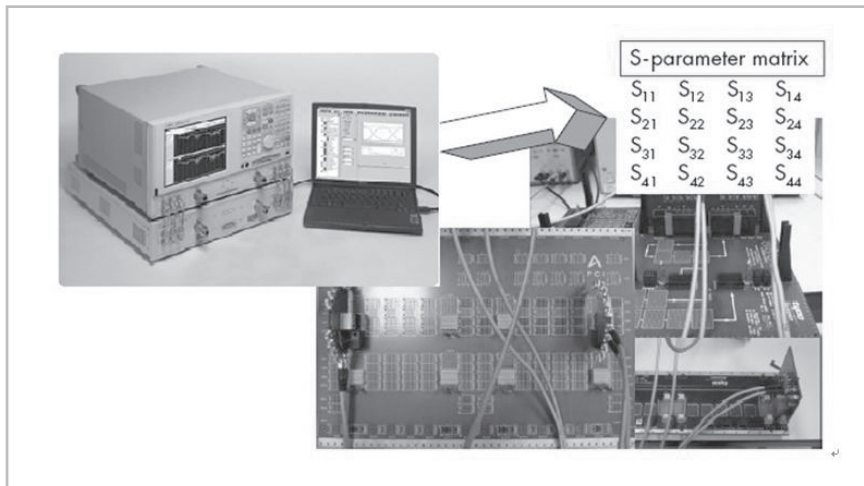


그림 9. 백플레인 시스템 특성화 개요

백플레인과 균등화의 선택

적합한 균등화를 성공적으로 설계하기 위해서는 고객 백플레인에 대한 데이터베이스를 구축해야 한다. 그림 9는 이 절차의 개요를 보여준다. 벡터 네트워크 분석기(VNA)를 이용해서 백플레인의 주요 특성을 추출할 수 있다. 추출된 S 파라미터를 데이터베이스에 입력하고 MATLAB, ADS, hspicrf 같은 다양한 시뮬레이션 툴들을 이용해서 액세스할 수 있다. 수

일 때 이는 첫 번째 성공적인 탭 동작을 위해서 50ps를 남겨준다. 뿐만 아니라 직렬 데이터스트림으로부터 클럭을 복구해야 한다. 이것이 고유의 지터를 일으키므로 이용할 수 있는 타이밍 마진을 추가적으로 감소시키고 디자인을 더 복잡하게 한다.

DFE 시스템은 꽤 복잡하며 그러므로 높은 양의 전력을 필요로 한다. 대체적인 업계의 원칙은 매 DFE 탭에 Gbps의 데이터마다 5mW이다. 예를 들어서 5개 탭에 10Gbps이면 DFE가 250mW/ch를 필요로 할 것이다.

년 간에 걸쳐서 알테라는 주요 커넥터 업체 및 대형 보드 업체의 것들을 포함해서 고객 백플레인에 대한 방대한 데이터베이스를 구축해 왔다.

이 내부 데이터베이스 상에서 백플레인을 검토하고, 곡선 피팅을 이용해서 감쇠 곡선을 분석하고, 각기 다른 균등화 기법을 모델링할 수 있다. 백플레인 데이터베이스에 대해 시뮬레이션을 실시하고 가장 적합한 균등화 차수 및 아키텍처를 결정할 수 있다.

그림 10은 이 글에서 이용하고 있는 40인치 XAUI 리저시

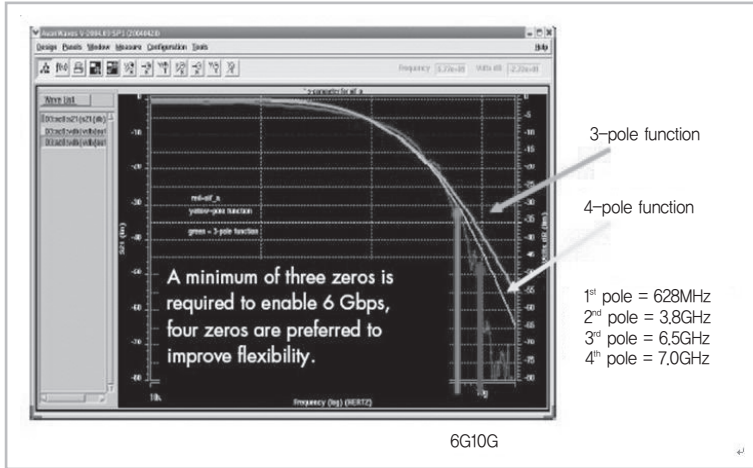


그림 10. XAUI 리거시 백플레인의 감쇠 곡선에 대한 삼차 및 사차 균등화기

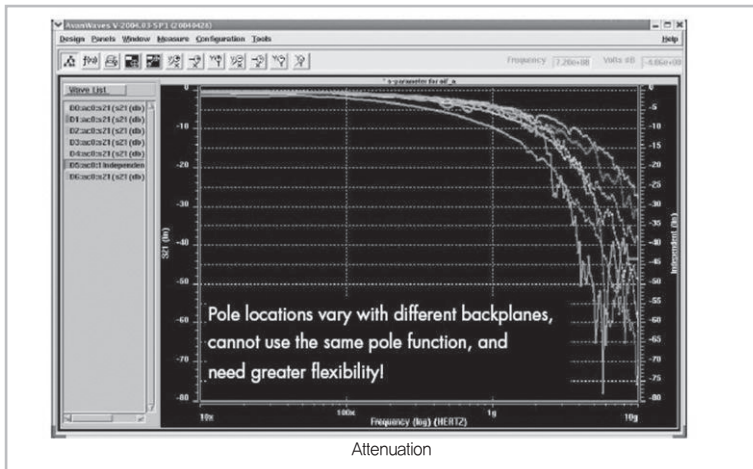


그림 11. 샘플 고객 백플레인의 감쇠 곡선

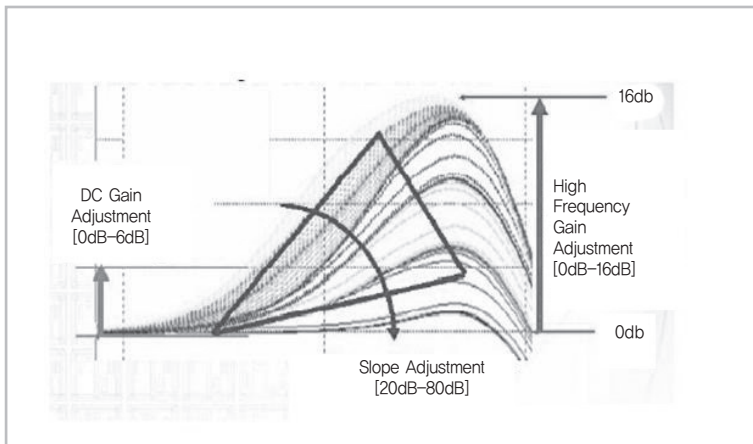


그림 12. 4스테이지 CTLE의 균등화 곡선

백플레인의 감쇠를 보여준다. 또한 3차 및 4차 극점 함수를 보여준다. 6.5Gbps일 때는 삼차 함수가 비교적 우수하게 감쇠 곡선에 일치하는 한편, 10Gbps에서는 사차 함수를 필요로 한다. 극점의 수를 이용한 곡선 피팅이 백플레인의 극점을 취소하기 위해 균등화에 필요한 영점의 수를 알려준다(그렇게 하는 것이 문제를 해결하기 위해 첫 번째로 시도하는 것이다. 디자인을 정확하게 모델링하기 위해서는 고수준 모델링이 필요하다). 일단 검증이 이루어졌으면 디자인을 트랜지스터 레벨 구현으로 변환하고 추출된 백플레인의 데이터베이스에 대해서 주파수 및 시간 도메인으로 시뮬레이트 한다.

그림 11에 보이는 소수의 고객 백플레인만 하더라도 상당히 다른 감쇠 특성을 나타낸다. 그러므로 동일한 균등화 전달 곡선이 이들 모든 디자인에 완벽하게 적합하지는 않다. 이들 대부분의 곡선에 적합하도록 충분히 유연한 균등화 안을 개발해야 한다.

최고 6.5Gbps의 백플레인 데이터베이스를 분석해 보면 80dB/dec의 최대 기울기로 모든 균등화기 요구를 지원할 수 있다는 것을 알 수 있다. 그러므로 리시버 CTLE는 전체적으로 필요한 곡선 일치를 달성하기 위해서 각기 20dB/dec 기울기이고 영점 배치를 개별적으로 제어할 수 있는 최소한 4개의 균등화기 스테이지를 필요로 한다. 각각의 스테이지가 전달 함수에 있어 영점을 제공한다. 뿐만 아니라 각각의 스테이지를 개별적으로 제어할 수 있으므로 영점의 위치뿐만 아니라 부스트의 기울기를 조절할 수 있다. 근거리 또는 칩-칩 애플리케이션

Level	V _{OD} (mv)	pre_tap	1st post	2nd post
1	1000	0.025	0.05	0.025
2	1000	0.05	0.11	0.05
3	1000	0.075	0.16	0.075
4	1000	0.1	0.22	0.1
5	1000	0.125	0.27	0.125
6	1000	0.15	0.33	0.15
7	1000	0.2	0.37	0.2
8	1000		0.42	
9	1000		0.47	
10	1000		0.52	
11	1000		0.56	
12	1000		0.61	

표 1. 이용할 수 있는 프리엠퍼시스 설정

을 위해서는 낮은 EQ 설정을 이용해서 과균등화(over-equalization)를 방지할 수 있다. 그림 12는 이 아키텍처를 이용해 가능한 부스트의 범위와 기울기를 보여준다. 1200개 이상의 각기 다른 설정이 가능하다.

전송 측에서 마찬가지로 백플레인을 분석함으로써 전조 ISI를 해결하기 위해 한 개의 프리 탭과 후조 ISI를 보상하기 위해 2개의 포스트 탭이 필요한 것으로 나타났다. 뿐만 아니라 모든 4개 탭의 계수를 개별적으로 프로그램할 수 있고 프리 및 이차 포스트 탭의 부호 또한 마찬가지이다. 표 2는 탭에 이용할 수 있는 계수들을 보여준다. 이 표의 메인 탭은 V_{OD} 선택으로 표시했다. 여기에 표시된 하나의 V_{OD} 설정에 대해서 2700개 이상의 각기 다른 설정이 가능하다. 결과적으로 15퍼센트에서 500퍼센트에 달하는 매우 경쟁력 있는 부스트를 달성할 수 있다.

뿐만 아니라 알테라의 Tx 및 Rx 드라이버와 리시버는 종단 저항의 자동 조정을 지원하도록 설계되었다. 미세 서브마이크론 기술에 있어서 저항의 프로세스 변동이 ±20퍼센트 대인 것으로 알려지고 있으나 이는 종단 셀을 구축하기 위해 통상적으로 이용되는 능동 소자의 추가적인 변동 조차 반영하지 않은 것이다. 결과적으로 조정되지 않은 종단 셀은 프로세스, 전압, 온도(PVT)에 따라 30퍼센트 이상의 변동을 일으킬 수 있다. 정밀한 종단 저항은 반사되는

역 에너지를 감소시킨다. 그러면 전체적인 시스템 마진을 향상시킨다.

또 다른 특기할 만한 Tx의 특징은 프로그래머블 슬루율 제어이다. 앞 절 '전송 프리엠퍼시스/디엠퍼시스'에서 보았듯이 민첩한 슬루율의 필요성은 명확하다. 전송 신호 에지의 고주파 성분을 특정한 데이터 레이트에 대해서 사인파와 유사한 에지에 가장 근접할 때까지 감소시키는 것이 전체적인 시스템 누화 레벨과 EMI를 감소시키기 위해 매우 효과적이다.

적응식 균등화의 필요성

DFE가 매력적인 이유는 DFE 엔진이 수신 비트의 이력을 바탕으로 수신 비트의 계수를 계산할 수 있을 것으로 생각되기 때문이다. 실제로 3Gbps 이상의 데이터 레이트일 때는 적응식 균등화가 트랜시버 업체 제품에 대해 추구할 만한 가치가 있는 중요한 차별화 기능이다. 하지만 일반적인 DFE 및 적응식 균등화기(EDC, electronic dispersion compensation와 ADCE, adaptive dispersion compensation engine이라고도 함)와 프로그래머블 DFE 사이에는 분명한 차이가 있다. 중요한 차이점은 실시간 적응이다. 프로그래머블 DFE는 각각의 특정한 채널에 대해 사전 지식이 있는 것으로 하고 이를 DFE 계수로 프로그램해야 한다. ADCE 같은 그외의 기법은 채널 또는 데이터 패턴에 대해 어떠한 사전지식 없이 실시간으로 계수를 계산하며, 그리고 앞에서 언급했듯이 3Gbps 이상의 데이터 레이트일 때는 프로그래머블 신호 컨디셔닝 설정의 수가 매우 다수이다.

시스템 개발 단계

모든 새로운 시스템은 4개의 개발 단계로 명확하게 구분할 수 있다(그림 13).

1. 업체 선택 단계: 선택한 트랜시버 업체가 시스템의 모든 링크에 대해서 충분한 신호 컨디셔닝을 제공하는가?
2. 보드 설계 단계: SI 엔지니어가 각각의 링크에 가장 적합한 설정을 선택해야 한다. 보드 레이아웃을 시작할 때 흔히 새로운 설정을 신속하게 찾아야 한다.

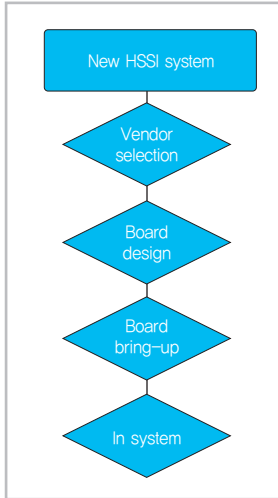


그림 13. 시스템 개발 플로우 차트

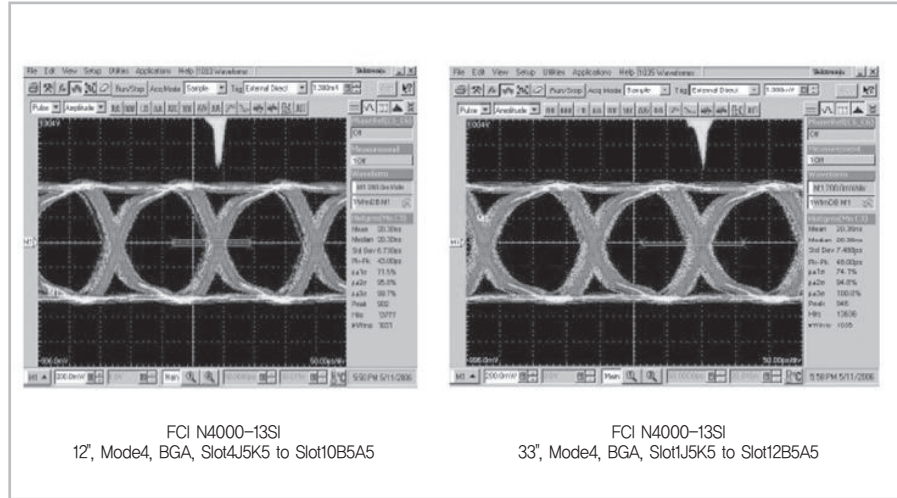


그림 14. 적응식 균등화 후의 아이 다이어그램

3. 보드 구축 단계: 각 링크가 전반적인 시스템 레벨 BER을 향상시키도록 작동해야 한다. 우선순위가 높은 설정들을 반복하면서 개별 링크를 완벽하게 구동하는 것과 전체적인 시스템 우수성 사이에 절충을 이루어야 한다.

4. in-system 단계: 시스템을 장기적인 관점에서 고려해야 한다. 특히 링크 특성이 시간과 환경에 따라서 변화할 것인지 고려해야 한다.

여기서 첫째로 중요한 점은 이러한 4개의 개발 단계에 걸쳐서 디자이너가 수천 개의 설정 중에서 가장 적합한 설정을 선택해야 한다는 것이다. 앞서 언급했듯이 하나의 Tx V_{OD} 레벨이 2700개 이상의 설정이 가능하고 Rx 균등화기가 1200개 이상의 설정이 가능하므로 가장 적합한 설정을 선택하는 것이 만약 실용적이지 않다면 엄청난 작업이 될 수 있다. 알테라는 링크 레이아웃이나 추출된 S 파라미터가 주어졌을 때 신속하게(수분 이내) 적합한 솔루션으로 수렴하는 고속 시뮬레이션 PELE(pre-emphasis equalization link estimator)를 제공한다. 하지만 '보드 구축' 및 '인 시스템' 단계는 시뮬레이션으로 해결할 수 없으므로 이들 프로세스를 자동화하기 위해서 하드웨어가 필요하다.

이를 위해서 알테라는 ADCE(adaptive dispersion compensation engine)를 개발했다. 이 하드웨어는 고객 시스템 내의 각각의 링크로 자동으로 그리고 각기 개별적

으로 적응한다. Tx 프리엠퍼시스 설정에 상관없이 ADCE가 이용할 수 있는 Rx CTLE 설정 중에서 하나를 선택한다. 이 적응식 엔진은 일회 및 연속 적응 선택 모두가 가능하다. 일회 적응은 추가적인 전력 절감을 위한 것이며 초기 링크 학습 시에 작동된다. 하지만 고객이 사전에 지정된 시간 간격으로 주기적으로 또는 시간이 경과함에 따라 시스템 BER이 저하되는 것을 관찰했을 때 작동할 수 있다. 이 설정이면 적응 프로세스 시에만 전력이 이용된다. 일단 수렴이 탐지되면 CTLE 설정이 동결되기 때문이다. 연속 적응은 정상적인 트래픽을 방해하지 않으면서 작동 중인 링크를 지속적으로 모니터링한다. 링크의 에이징 뿐만 아니라 링크의 양측에서 전압과 온도 변동을 추적하도록 균등화 설정이 적응한다.

ADCE의 목표는 시스템을 사용하기 편리하게 만드는 것이다. 고객 디자인의 각각의 링크는 각기 다른 특성을 나타낸다. 그러므로 필요한 균등화의 양은 백플레인 길이, 타입, 데이터 레이트, 에이징, 프로세스, 전압, 온도 등에 따라서 달라진다. ADCE가 모든 균등화기 스테이지의 출력을 검사하고 균등화의 양을 늘리거나 줄이도록 균등화기를 조정한다. 한번 설정하고 잊어버리는 것은 변화하는 환경이나 에이징에는 적합하지 않다(1).

특수한 학습 패턴이 필요하지 않다는 것을 의미하는 블라

인드 균등화 또한 한 가지 목표이다. 하지만 데이터는 DC 밸런싱을 해야 하고 합당한 전이 밀도 및 런 길이어야 한다. 이상적인 패턴은 PRBS2⁷-1이나 PRBS2¹⁰-1 패턴에 가깝다. 이는 대체적으로 대부분의 고객 애플리케이션에 매우 적합하다. 최적에 못 미치는 데이터 패턴을 이용하는 고객들을 위해서는 학습 패턴이 여전히 필요할 것이다. 최적 솔루션을 찾을 수 없는 경우에는 FPGA 내에 ADCE 값을 리드아웃할 수 있는 기능이 제공된다. 이들 값을 수동 조정을 위한 시작점으로 이용할 수 있다.

ADCE는 유연한 상태기에 의해 제어되며 적응 시퀀스뿐만 아니라 균등화기 내의 최대 영점 위치를 변경할 수 있다. 이 디자인은 또한 연속 적응 시에 링크를 실시간으로 모니터링하거나 아니면 현장에서 링크 통계를 수집하기 위해 시스템 레벨에서 임의적으로 작동할 수 있다.

그림 14는 적응식으로 솔루션에 도달한 후의 2개 아이 다이어그램을 보여준다. 이들 아이는 개방되어 있다. 첫 번째 다이어그램은 12인치 트레이스의 것이고, 두 번째 다이어그램은 33인치 트레이스의 것이다. 두 번째 아이 다이어그램은 균등화를 이용하지 않으면 폐쇄될 것이다. 주목할 점은 트레이스 길이는 매우 다르다 하더라도 두 출력 솔루션이 대체로 동일한 품질이라는 것이다. 진단 루프백 경로가 대역폭 한계에 도달한 것으로 알려진 후에 아이 다이어그램이 측정된다. 측정 대역폭 저하를 감안한다면 Rx의 아이의 실제 품질은 더 우수하다.

알테라의 균등화 솔루션 역사

아날로그존에서는 “(알테라의) Stratix SERDES 기술을 구별짓는 두 가지 중요한 측면이...실제 조건으로 더 우수한 신호 무결성, 거리, 전체적인 성능을 달성하기 위해 이용되는 트랜시버 균등화 기술이다”라고 했다.

알테라는 65nm와 40nm 프로세스 노드로 성공적인 트랜시버 테스트 칩을 선보임으로써 첨단 아날로그 요구에 대해서 새롭게 개발된 TSMC 프로세스를 검증했다. DesignCon 2007 및 DesignCon 2008에서 65nm 테스트 칩이 10Gbps 이상으로 동작하는 것을 선보였다. 알테라는

10여 년에 걸쳐서 SI 경험을 축적하고 있으며 5개의 기술 노드에 걸쳐서 성공적인 트랜시버 디자인을 내놓고 있다.

빌트인 오실로스코프

Stratix IV GX FPGA는 빌트인(BI) 오실로스코프 기능이 트랜시버 내의 다양한 신호 노드에서 in-situ 신호 및 지터 측정을 제공한다. 이 신호와 지터 정보는 외부 장비로 측정할 수 없으며 리시버 균등화와 클록 복구 진단 및 디버그 뿐만 아니라 링크 특성화 및 검증을 위해 매우 중요하다. BI 오실로스코프의 기능과 성능은 외부 장비 및 테스터와 매우 유사하면서 추가적인 비용을 발생시키지 않는다. BI 오실로스코프의 한 가지 기능은 균등화된 Rx 데이터의 유효 아이 폭을 측정하고 보여주는 것이다. 이 정보를 이용해서 Rx 신호 조건을 모니터링할 수 있을 뿐만 아니라 외부 장비를 이용해서 수행할 수 없는 작업으로써 균등화 양과 설정을 조정할 수 있다. BI 오실로스코프는 어떤 특수한 또는 고정적인 데이터 패턴을 필요로 하지 않으므로 현장에서 시스템 레벨 디버깅을 위해서 그리고 라이브 데이터 트래픽 감시를 위해 매우 유용하다. 요컨대 BI 오실로스코프는 외부 테스트 및 측정 장비를 이용해서는 불가능한 작업들로서 Stratix IV GX FPGA 트랜시버의 새로운 테스트, 검증, 특성화, 디버그 과제들을 거의 제로에 가깝거나 훨씬 낮은 비용으로 해결한다.

첨단 클록 및 타이밍 발생

클로킹 및 타이밍 발생은 고속 트랜시버에서 중요한 역할을 한다. 지터는 클록 품질을 측정하기 위해 이용되는 중요한 지수이다. 클록 지터는 트랜스미터 및 리시버 지터 성능에 영향을 미치고, 이는 다시 링크 시스템에서 BER이 증가하도록 하기 때문이다(지터와 잡음에 관한 자세한 내용을 위해서는 다음 장 ‘전력과 지터’ 참조). 트랜스미터 측에서는 클록 지터가 출력 상의 아이 개방을 제한한다. 리시버 측에서 클록 지터는 리시버가 수신 데이터를 적절하게 래칭하는 것에 영향을 미치며 링크의 총 가용 지터 예산(예를 들어 1

UI)의 일부분을 소비함으로써 트랜스미터와 채널에 이용할 수 있는 지터 예산을 감소시킨다.

트랜시버의 모든 클럭 발생 및 분배 회로가 특정한 양의 지터를 발생시킨다. 클럭 발생기는 보통 PLL 회로를 이용한다. PLL의 중요한 요소가 발진기로서, 이것이 지터의 주요한 소스이다. 현재 멀티 GHz PLL에 링 발진기(RO)와 LC 탱크(LC)의 두 가지 유형의 발진기가 주로 이용되는데 이들 각각이 장단점이 있다.

링 발진기

RO는 클럭 발생 및 클럭 복구에 있어서 잘 알려진 디자인 및 성능으로 인해서 가장 널리 이용되는 VCO 아키텍처이다. 높은 발진 주파수를 달성하기 위해서는 인버터 스테이지의 수를 최소화해야 한다. 보통의 RO는 최소한 3개 인버터 스테이지로 이루어지나 일부 고주파 발진기는 2개의 스테이지만 이용함으로써 추가적인 위상 편이를 위해서 신중하게 설계된 커플링을 추가해야 한다. 이들 2스테이지 및 4스테이지 링 발진기가 쿼드러치 출력을 제공하므로 트랜시버 디자인에 널리 이용된다.

VCRO(voltage control ring oscillator)는 대체적으로 넓은 주파수 튜닝 범위(10~100MHz부터 1~10GHz)를 제공하므로 트랜시버가 다수의 각기 다른 데이터 레이트를 수용할 수 있으나 또한 매우 높은 이득을 발생시킨다. 높은 VCRO 이득은 PLL이 프론트엔드 잡음 및 스퍼에 민감하게 한다. 뿐만 아니라 링 발진기는 전원장치 및 기판 잡음에 매우 민감하다. 만약에 높은 PSRR(power supply rejection ratio) 전압 레귤레이터를 이용하지 않으면 전원 잡음이 VCRO 위상 잡음 또는 지터의 대부분을 차지한다. 또한 우수한 기판 절연이 링 발진기의 위상 잡음/지터를 향상시킨다.

또한 깨끗한 전원 및 기판 환경에서는 스위칭 디바이스 및 바이어스 회로로부터 유입되는 잡음이 RO의 위상 잡음/지터의 주된 요인이다. 일반적으로 능동 디바이스 수를 최소화하고, 전류를 부스트하고, 바이어스 회로를 제거함으로써 VCRO 위상 잡음을 향상시킬 수 있다. 대칭 파형을

유지함으로써 1/f 잡음 상향 변환을 방지하고 로우 엔드에서 위상 잡음을 향상시킬 수 있다. 하지만 지터 향상은 VCRO 위상 잡음에 대한 PLL 웨이핑에 의한 것이 아닐 수 있다.

RO에는 단일단, 차동, 준차동 등의 다양한 인버터 구조가 이용되며, 이들 각각이 장점과 단점이 있다. VCO 디자인에 발진 주파수, 전력 소비, 면적 등의 세부적인 사항들을 고려해야 한다. 잘 설계된 RO는 발진 주파수에 따라서 VCRO가 1MHz 오프셋으로 -70~-100dBc/Hz의 위상 잡음을 달성할 수 있도록 한다. 링 발진기의 위상 잡음/지터는 높은 주파수일수록 악화된다. 예를 들어 65nm 노드로 제작된 3GHz CMOS VCRO는 1MHz로 -91dBc/Hz의 위상 잡음 및 1.1ps의 RMS 지터(1~80MHz)를 달성한다. 하지만 동일한 프로세스 노드의 6GHz VCRO는 1MHz로 -86dBc/Hz의 위상 잡음과 1.24ps의 RMS 지터(1~80MHz)를 달성한다.

LC 발진기

LC 발진기는 선택도가 높은 하이 Q LC 탱크를 이용해 우수한 위상 잡음 성능을 제공한다. 이산 LC 발진기가 RF 애플리케이션에 오랜 동안 이용되었으며 LC 발진기를 혼성 신호 IC로 통합하는 것은 최근 몇 년에서야 일반화되었다. 통합적인 트랜시버 디자인에 LC 발진기를 이용하도록 하는 두 가지 요인을 들 수 있다. 첫째는 RO 위상 잡음이 멀티 GHz 주파수대에서 트랜스미터 지터 요구를 충족하기가 어렵다는 것이다. 둘째는 프로세스의 선폭 축소에 의해서 LC 발진기 주파수가 높아짐에 따라서 인덕터가 다이 상에 통합할 수 있도록 충분히 소형화되고 있다는 점이다.

교차 결합LC 발진기가 가장 널리 이용되는 아키텍처이다. LC 탱크는 전류 모드 또는 전압 모드로 발진한다. 전류 모드 일 때는 바이어스된 테일 전류에 의해서 신호 진폭이 결정된다. 비록 파형은 전원 변동을 견딜 수 있으나 테일 전류 1/f 잡음 상향 변환이 이의 위상 잡음을 악화시킨다. 전압 모드에서는 테일 전류가 이용되지 않으며 전원 전압에 의해서 진폭이 제한된다. 전압 레귤레이터가 전원 잡음 및 스퍼 유입

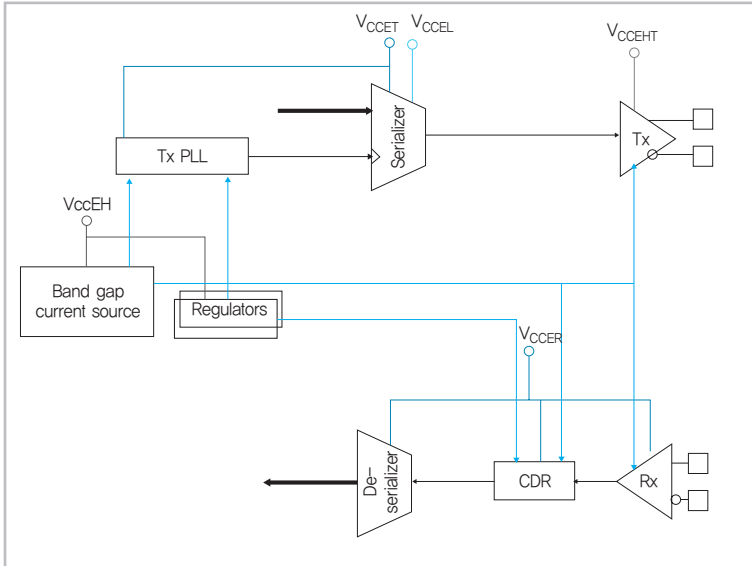


그림 15. 트랜시버의 전력 도메인 체계

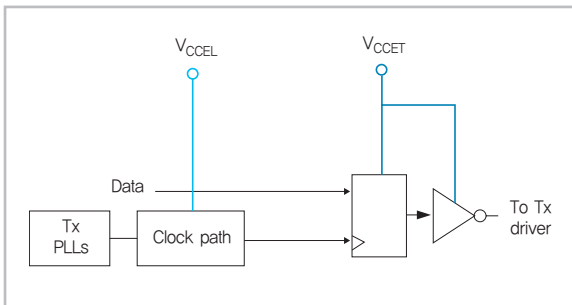


그림 16. 트랜스미터 경로의 클럭 및 데이터 경로 전원

을 방지한다.

VCRO와 비교해서 VCLCO는 대형 인덕터 때문에 더 많은 다이 면적을 차지한다. VCRO와 달리 통합적인 VCLCO는 매우 제한적인 주파수 튜닝 범위를 제공한다. 온칩 LC 발진기의 유일하게 튜닝 가능한 요소가 벡터이다. 다이오드나 MOS 벡터의 튜닝 범위는 현재의 프로세스 기술 때문에 매우 제한적이다. VCLCO의 연속 주파수 튜닝 범위는 약 20퍼센트이다. 하지만 VCLCO는 통상적으로 VCRO보다 훨씬 더 우수한 위상 잡음/지터 성능을 제공한다. 예를 들어서 65nm의 6GHz VCLCO는 1MHz 오프셋으로 위상 잡음이 -110dBc/Hz이고 RMS 지터는 100fs(1~80MHz)이다.

전력과 지터

이 글 전반에 걸쳐서 엄격한 아날로그 지터 요구를 충족하기 위해 필요한 분리를 위해서 디지털 도메인과 아날로그 도메인을 신중하게 분리할 것을 강조하고 있다.

전력 무결성

Stratix IV GX FPGA의 트랜시버는 수신 및 송신 경로의 고속 아날로그 부분을 분리시키고 있다. 이는 트랜시버가 Tx 경로에서 선택한 것과 달리 Rx 상에서 완전히 독립적인 주파수 선택이 가능하기 때문이다. 전원이 분리됨으로써 비상관적 잡음 소스의

유입을 방지한다. 그림 15에서는 이들 전원을 V_{CCET} 와 V_{CCER} 로 표시하고 있다. 뿐만 아니라 클럭 경로는 자체적인 전원(그림16에서 V_{CCEL})을 이용하며 이것은 데이터 경로로부터 트랜스미터 클로킹으로 잡음 유입을 방지하기 위해서 분리되었다.

뱅 갭(bang gap), 전류 바이어스, 온칩 전압 레귤레이터 같은 정밀 아날로그 블록은 하나의 전용 V_{CCEH} 전원에서부터 전력을 수신한다. 그림 17에서 보듯이 칩 전압 레귤레이터는 VCO, 차지 펌프, 루프 필터 같은 각각의 Tx 및 Rx PLL의 민감한 회로들을 차단하기 위한 것이다. 그림 15의 Tx 드라이버는 자체 전원 $V_{CC EHT}$ 를 이용해서 다른 전력 레벨을 제공한다. 트랜시버에 온칩 및 온패키지 디커플링을 이용해서 외부 전원에서부터 필요한 잡음 필터링을 제공할 수 있다. 그림 18은 레귤레이터 지원 CP 및 LP의 PSRR이고, 그림 19는 VCO를 위한 레귤레이터의 PSRR이다. 두 경우 모두 1GHz 이상의 주파수에 대해서 PSRR이 -50dB 미만이라는 것을 알 수 있다.

지터와 잡음의 개요

트랜시버의 성능을 수치화하기 위한 중요한 두 가지 지수가 지터와 잡음이다. 일반적으로 지터는 이상적인 비트 클럭

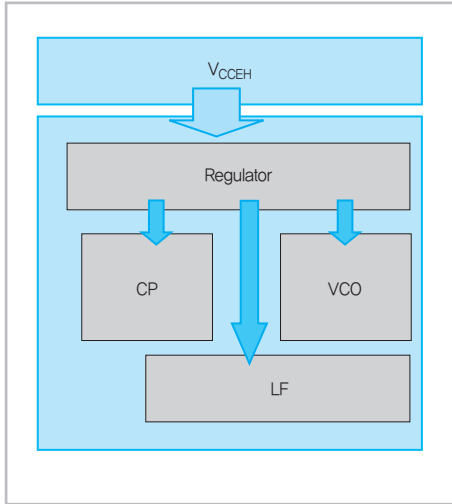


그림 17. Tx PLL 및 CDR의 VCO/CP/LF를 위한 레귤레이터

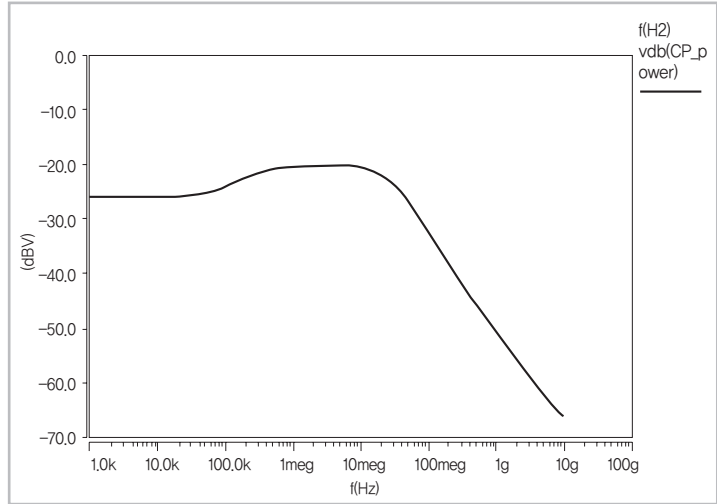


그림 18. 차지 펌프 레귤레이터와 루프 필터의 PSRR

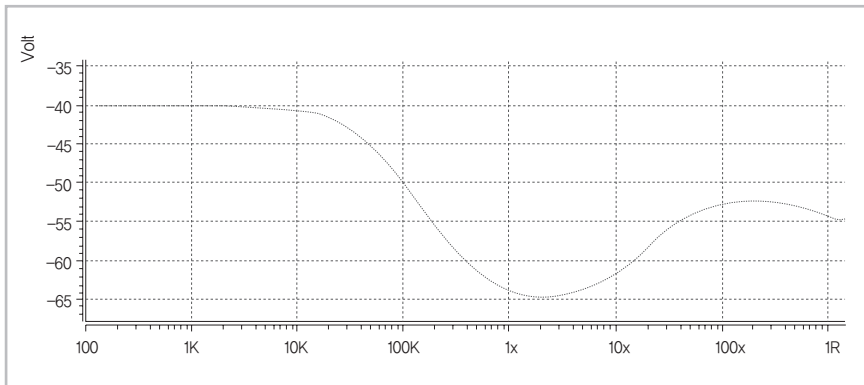


그림 19. VCO 레귤레이터의 PSRR

같은 이상적 타이밍으로부터 편차로 정의되며, 잡음은 레퍼런스 전압이나 전력으로부터 편차로 정의된다. 과도한 지터 및 과도한 잡음은 링크 시스템의 BER을 증가시킨다.

지터는 한계가 있는 결정론적 지터(DJ)와 한계가 없는 랜덤 지터(RJ)로 분류할 수 있다. 그림 20은 지터 성분들의 계층을 보여준다.

DJ는 데이터 종속적 지터(DDJ), 주기적 지터(PJ), 한정적 비상관 지터(BUJ) 성분들을 포함한다. DDJ는 손실이 높은 채널 같은 대역 제한적 효과에 의해서 발생된다. PJ는 스위치 전원장치 결합 같은 주기적 변조에 의해 발생하며, BUJ는 누화에 의해 발생한다. DDJ는 ISI 및 듀티 사이클 왜곡(DCD) 성분을 포함할 수 있다. ISI와

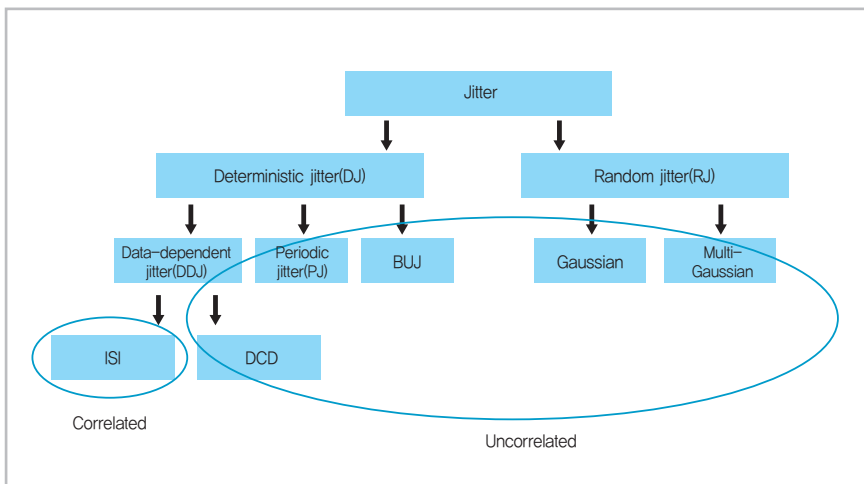


그림 20. 지터 성분과 이들의 상관관계

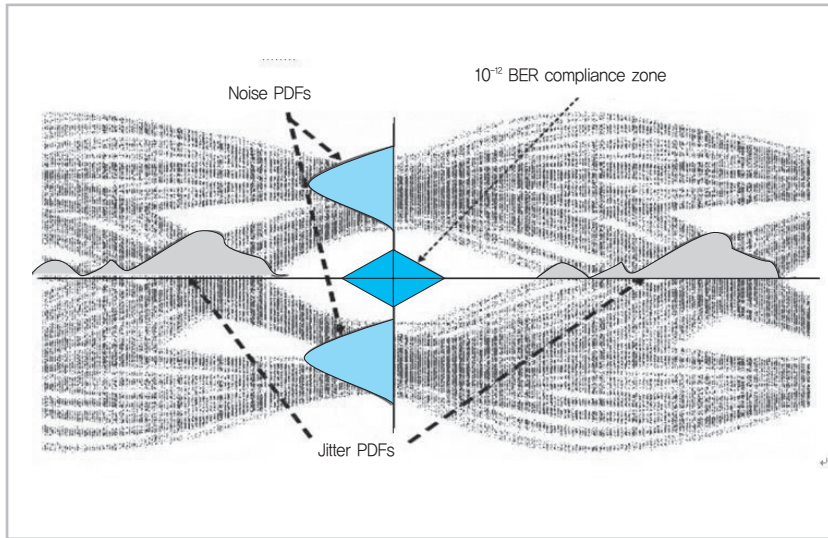


그림 21. 아이 다이어그램과 지터 PDF 및 잡음 PDF와 상관관계

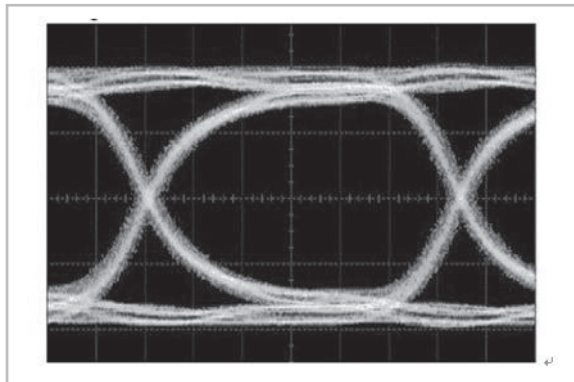


그림 22. Stratix IV GX 트랜스미터로 측정된 '와이드 개방형' 아이 다이어그램

DCD는 대역 제한 효과의 결과이다. 하지만 DCD는 레퍼런스 전압의 변이에 의해서 발생할 수도 있다. RJ는 흔히 열잡음에 의해서 발생하며 이의 기여도는 가우스 분포로 가장 잘 설명할 수 있다.

잡음에 대해서 똑같은 분리 개념을 적용할 수 있다. 지터와 잡음의 통계적 특성은 확률 밀도 함수(PDF)로 설명할 수 있으며 이는 그림 21에서 보는 바와 같이 아이 다이어그램으로 가장 잘 나타낼 수 있다.

과도한 지터와 잡음은 BER을 증가시키며, 이는 다시 데이터 샘플이 적합성 BER 구역에 속할 가능성을 향상시킴

으로써 링크 결함을 야기한다. 그러므로 링크에 대해 우수한 BER 성능을 달성하기 위해서는 우수한 지터 및 잡음 성능을 유지하는 것이 중요하다.

지터와 잡음의 기초에 관한 더 자세한 정보는 참고문헌 (2)를 참조하기 바란다.

지터와 잡음의 발생

우수한 트랜스미터는 최소한의 지터와 잡음을 발생시켜야 한다. 다시 말해서 트랜스미터 출력에서 측정된 아이 다이어그램이 크게 개방

형이어야 한다. 다수의 고속 I/O 표준(PCIe, CEI/OIF, FC 등)에서 아이 마스크가 트랜스미터 출력의 지터, 잡음, 시그널링 요구를 충족하는지 결정한다고 정의하고 있다. 아이 마스크는 통상적으로 10^{-12} 미만의 BER에 해당되어야 한다. 어떤 측정 데이터도 아이 마스크 안에 들어가지 않으면 트랜스미터 지터, 잡음, 시그널링이 기준을 통과한 것이며 트랜스미터 성능을 보장하는 것이다.

트랜스미터 지터는 VCO를 이용하는 PLL의 지터에 따라서 주로 결정된다. 첨단 디자인과 LC 기반 VCO를 이용함으로써 Stratix IV GX는 지터와 잡음 성능이 크게 향상되었다. 그림 22는 8.5Gbps로 작동하고 PRBS2¹⁵-1 패턴을 이용하는 Stratix IV GX 테스트 칩의 아이 다이어그램과 관련된 DJ, RJ, TJ(BER = 10^{-12} 일 때)를 보여준다.

지터와 잡음 허용오차

우수한 트랜스미터는 최소한의 지터와 잡음을 발생시켜야 한다. 반면에 우수한 리시버는 최소한의 지터와 잡음을 허용할 수 있어야 한다. 리시버에 대해서 테스트해야 하는 2개의 중요한 서브시스템이 클럭 복구와 CLTE나 CFE 같은 균등화 기능이다. 리시버 CRC가 요구되는 지터 추적 성능을 갖추었는지 검증하기 위해서 표준에서 흔히 지터 주파수 마스

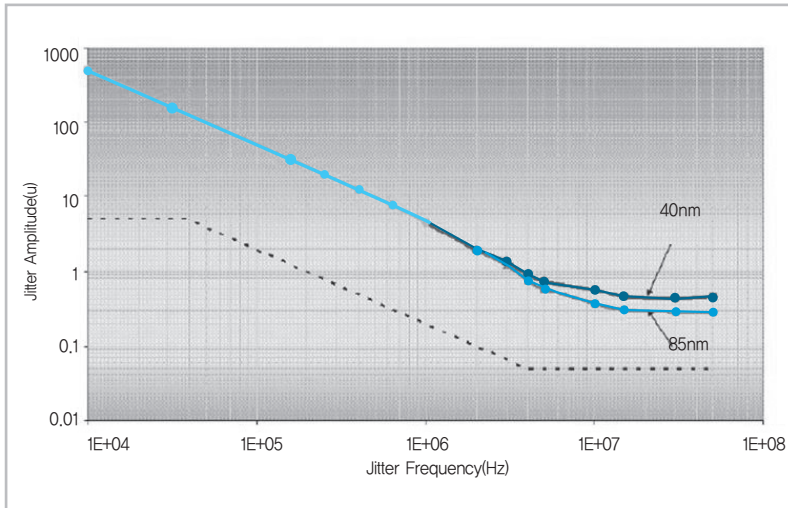


그림 23. Stratix IV GX 리시버의 지터 주파수 허용오차(1)

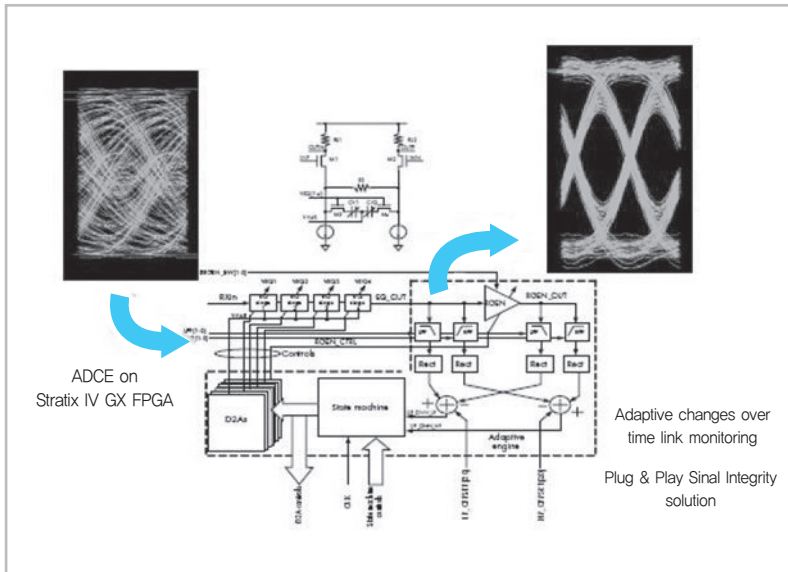


그림 24. Stratix IV GX FPGA 트랜시버의 단대단 균등화

크 또는 허용오차 마스크를 정의하고 있다. 지터 허용오차 마스크 곡선은 리시버의 지터 전달 함수의 역이다. 우수한 CRC를 이용하는 리시버는 표준에서 요구하는 것보다 더 높은 지터를 허용할 수 있다.

Stratix IV GX FPGA는 혁신적인 하이브리드 CRC 디자인을 이용함으로써 우수한 지터 허용 성능을 제공한다. 그림 23은 Stratix IV GX 리시버의 지터 허용 성능을 보여준다.

이들 결과는 리시버 규격을 충족할 뿐만 아니라 초과한다. 링크 서브시스템의 다른 부분들 역시 규격의 요구를 충족한다고 했을 때 규격보다 우수한 리시버는 Stratix IV GX FPGA를 이용해 구축한 링크가 10^{-12} 보다 더 우수한(낮은) BER이라는 것을 의미한다.

비고: (1) 지터 허용오차 레벨이 표준의 요구를 초과한다.

그림 24에서 보듯이 Stratix IV GX FPGA는 빌트인으로 포괄적인 단대단 균등화를 포함한다. 트랜시버 프리엠퍼시스 균등화 이외에 리시버가 CTLE, ADCE, DFE를 이용함으로써 가장 강력한 균등화 성능을 제공하며 다양한 유형의 채널 소재 및 거리를 포괄한다. 리시버 균등화의 중요한 테스트는 리시버가 손실이 심한 채널에 의해 발생된 폐쇄 아이를 개방할 수 있으며 특정한 표준에서 부과하고 있는 10^{-12} 이상으로 우수한 BER 요구를 충족하는지 검사하는 것이다.

리시버 검증의 세 번째 측면은 리시버가 최악상황 지터, 잡음, 신호 조건으로 동작하면서 10^{-12} 미만의 BER을 달성할 수 있는지 확인하는 것이다. 이것은 리시버 시스템 허용오차 테스트

이고, 한편 지터 주파수 마스크 및 ISI 마스크는 리시버 성분 검증이다. 이들 서브시스템 및 시스템 검증을 이용해서 리시버 테스트 결합 커버리지가 100퍼센트이다. Stratix IV GX FPGA는 최악상황 지터, 잡음, 시그널링 조건으로 동작하면서 10^{-12} 보다 우수한 BER을 달성한다. 그림 24는 테스트 예를 보여준다.

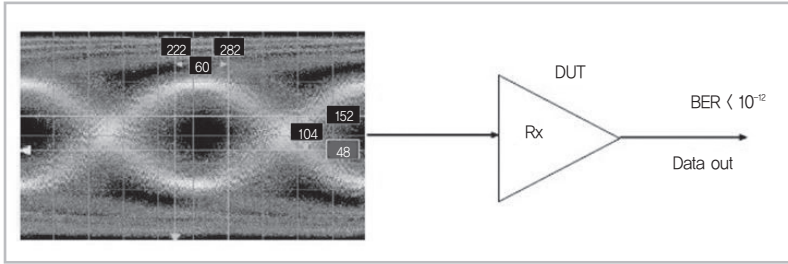


그림 25. Stratix IV GX 리시버의 최악상황 지터, 잡음, 시그널링 테스트 셋업

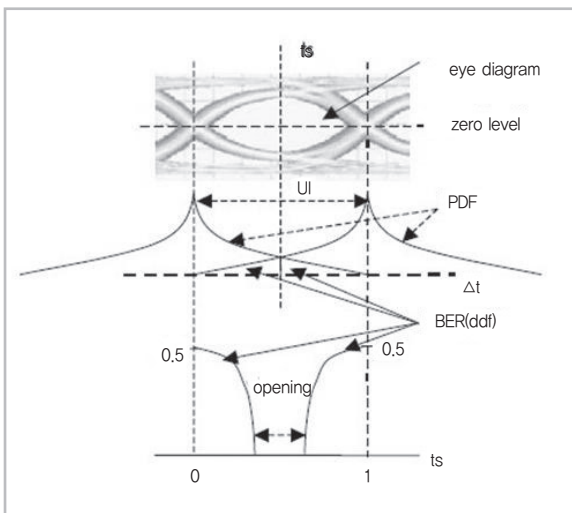


그림 26. 아이 다이어그램, 지터 PDF, BER CDF의 통합적 상관화 뷰

전체적인 시스템 BER

BER은 링크에 대한 시스템 지수이다. 그러므로 BER은 링크 시스템 아키텍처 및 서브시스템 성능과 밀접하게 연관된다. 시스템 BER을 계산하거나 측정하기 위해서는 수량적이고 정확한 시스템 모델 및 이에 대한 이해가 필요하다. 링크 시스템의 다른 모든 특성들을 정의하거나 계산했다면 서브시스템의 BER을 구할 수도 있다(3).

BER은 지터나 잡음, 또는 이 둘 다에 의해서 발생할 수 있다. 원칙적으로 BER은 지터와 잡음의 PDF의 적분의 합으로서 이들 성능 지수의 이차원적 특성을 나타낸다. 그런 까닭에 BER은 누적 분포 함수(CDF)이다. 간단히 말해서 BER은 특정한 레퍼런스 전압(예를 들어 제로 크로싱이나 50퍼센트 스윙 레벨)일 때 샘플링 시간의 함수 또는 특정한 레퍼런스 시간 위치(예를 들어 UI 데이터 셀의 중앙)일 때 샘플링 전압

의 함수로 볼 수 있다. 그림 26은 제로 크로싱 레벨일 때 지터 PDF와 샘플링 시간의 함수로서 BER(흔히 육조형 곡선이라 함)을 보여주는 아이 다이어그램이다.

전체적인 링크 시스템 BER은 트랜스미터, 채널, 리시버 등의 서브시스템의 지터, 잡음, 시그널링 성능에 의해

좌우된다. 시스템 및 서브시스템 아키텍처, 클럭 복구, 균등화, 전력 및 전력 무결성, 최신 40nm 프로세스 기술의 이용, 지터, 잡음, 전력 소비에 있어서 알테라의 혁신적인 디자인에 의해서 트랜시버가 다양한 고속 I/O 표준에서 정의하고 있는 요구들을 충족하거나 초과한다. 또한 지터와 잡음에 있어서 잉여 마진에 의해서 사용자가 더 낮은 비용으로 더 우수한 BER 성능(예를 들어 10^{-15})의 시스템을 설계할 수 있다.


결론

지금까지 고속 링크와 트랜시버의 기술 동향 및 관련된 과제들을 살펴보았는데 이러한 과제들은 데이터 레이트 증가, 프로세스 노드 축소, 최적의 전력 소비에서부터 지터, 잡음, 전력 무결성, BER에 대한 엄격한 성능 요구와 다양한 멀티 Gbps 고속 I/O 표준의 지원에 이르기까지 다양하다. 트랜시버를 이용해 향상된 알테라의 Stratix IV GX FPGA는 40nm 설계 및 제조, 혁신적인 하이브리드 트랜시버 아키텍처, 하이브리드/혼성신호 클럭 복구, 포괄적인 단대단 균등화, 초저 잡음/지터 LC 기반 발진기 사용, BI 오실로스코프를 통해서 그러한 과제와 요구들을 충족하고 초과한다. 40nm 프로세스 기술을 이용함으로써 Stratix IV GX FPGA는 가능한 가장 우수한 로직 밀도, 메모리 속도, 용량을 달성할 뿐만 아니라 트랜시버 혁신 기술을 이용함으로써 최소의 또는 최적화된 전력으로 우수한 지터, 잡음, 신호 무결성, BER 성능을 가능하게 한다.

Stratix IV GX FPGA는 가장 높은 밀도, 가장 높은 성능,

가장 낮은 전력을 제공한다. 40nm의 이점과 검증된 트랜시버 및 메모리 인터페이스 기술을 이용해서 Stratix IV GX FPGA는 우수한 신호 무결성으로 예전에 불가능했던 시스템 대역폭을 제공한다. Stratix IV GX FPGA에 HardCopy IV ASIC을 결합함으로써 매끄러운 프로토타입 제작을 통해서 FPGA와 ASIC의 이점을 모두 활용할 수 있다. Quartus II 설계 소프트웨어는 업계에서 가장 높은 로직 활용 및 가장 짧은 컴파일 시간으로 성공을 달성할 수 있도록 한다. 알테라의 40nm 포트폴리오를 이용해서 성능을 저하시키지 않으면서 제품을 혁신할 수 있을 것이다.

Stratix IV GX FPGA는 PCIe 2.0, HT 3.0, Interlaken, CPRI, SFI-5 등의 새롭게 등장하는 표준들을 지원할 수 있도록 새로운 회로 및 IP를 추가했다. 범용의 확장성 프로그래머블 디자인에 의해서 Stratix IV GX FPGA는 대부분의 고속 링크 표준을 지원할 수 있다.

트랜시버를 이용해 향상된 Stratix IV GX FPGA는 속도, 성능, 용량, 전력 소비, 첨단 디자인, 다양한 표준 지원, 40nm 프로세스 노드를 이용한 설계 및 제조, BIST 기능의 측면에서 동급의 가장 우수한 솔루션을 제공한다. 

참고 문헌

1. W. Wong et al, "Digitally Assisted Adaptive Equalizers in 90-nm With Wide-Range Support From 2.5 Gbps to 6.5 Gbps," DesignCon, 2007.
2. M. Li, Jitter, Noise, and Signal Integrity at High-Speed, Prentice Hall, ISBN-10: 0132429616, 2007.
3. M. Li, "Statistical and System Approaches for Jitter, Noise, and Bit Error Rate (BER) Tests for High-Speed Serial Links and Devices," ITC/IEEE, 2005.
4. ITRS roadmap, 2007 Edition, www.itrs.net/Links/2007ITRS/Home2007.htm
5. PCIe Standard: PCI-SIG, www.pcisig.com/specifications/pciexpress
6. Hyper Transport Standard: www.hypertransport.org/index.cfm
7. TSMC Advanced Technology Roadmap: www.tsmc.com/download/english/a05_literature/2_Advanced_Technology_Overview_Brochure_2007.pdf
8. M. Li, A. Martwick, G. Talbot, J. Wilstrup, "Transfer Functions for the Reference Clock Jitter in a Serial Link: Theory and Applications," ITC/IEEE, 2004.
9. M. Li, "Jitter and Signaling Test for High-Speed Links," An Invited Paper, CICC/IEEE, 2006.
10. Stratix IV GX and HardCopy IV GX Transceiver Overview: www.altera.com/products/devices/stratix-fpgas/stratix-iv/transceivers/stxiv-transceivers.html
11. PCI Express 1.1 Base Specification, 2005: www.pcisig.com/specifications/pciexpress/base
12. PCI Express 2.0 Base Specification, 2007: www.pcisig.com/specifications/pciexpress/base
13. B. Razavi (Editor), "Monolithic Phase-Locked Loops and Clock Recovery Circuits: Theory and Design," Wiley-IEEE Press, 1996
14. V. Stojanovic, M. Horowitz, "Modeling and Analysis of High-Speed Links," Stanford University lecture.
15. B. Casper, P. Pupalakis, J. Zerbe, "Serial Data Equalization," DesignCon 2007.

관련 정보

- Leveraging the 40-nm Process Node to Deliver the World's Most Advanced Custom Logic Devices: www.altera.com/literature/wp/wp-01058-stratix-iv-40nm-process-node-custom-logic-devices.pdf
- 40-nm Power Management and Advantages: www.altera.com/literature/wp/wp-01059-stratix-iv-40nm-power-management.pdf
- Increasing Productivity With Quartus II Incremental Compilation: www.altera.com/literature/wp/wp-01062-quartus-ii-increasing-productivity-incremental-compilation.pdf

감사의 말

- Weichi Ding, Design Manager, Analog Design Group, Altera Corporation
- Bernhard Friebe, Product Marketing Manager, High-End FPGA Products, Altera Corporation
- Tim Hoang, IC Design Manager, Analog Design Group, Altera Corporation
- Mike Peng Li, Ph.D., Principle Architect/Distinguished Engineer, Product Engineering, Altera Corporation
- Sergey Shumareyev, Director of Engineering, Analog Design Group, Altera Corporation
- Tina Tran, Senior Design Manager, Analog Design Group, Altera Corporation
- Wilson Wong, Principle Design Engineer, Analog Design Group, Altera Corporation
- Zhi Wong, Sr. Technical Marketing Manager, Product Marketing, Altera Corporation